

이 보고서는 코스닥 기업에 대한 투자정보 확충을 위해 발간한 보고서입니다.

산업테마보고서

반도체 공정

4차 산업혁명 시대에서 첨단화되는 반도체 공정

요약

산업 생태계 분석

업계 환경 분석

기술 심층 분석



작 성 기 관	NICE평가정보(주)	작 성 자	이정어 책임연구원
---------	-------------	-------	-----------

- 본 보고서는 「코스닥 시장 활성화를 통한 자본시장 혁신방안」의 일환으로 코스닥 기업에 대한 투자정보 확충을 위해, 한국거래소와 한국예탁결제원의 후원을 받아 한국IR협의회가 기술신용평가기관에 발주하여 작성한 것입니다.
- 본 보고서는 투자 의사결정을 위한 참고용으로만 제공되는 것입니다. 또한 작성기관이 신뢰할 수 있는 자료 및 정보로부터 얻은 것이나, 그 정확성이나 완전성을 보장할 수 없으므로 투자자 자신의 판단과 책임하에 종목선택이나 투자시기에 대한 최종 결정을 하시기 바랍니다. 따라서 본 보고서를 활용한 어떠한 의사결정에 대해서도 본회와 작성기관은 일체의 책임을 지지 않습니다.
- 본 보고서에 대한 자세한 문의는 NICE평가정보(주)(TEL.02-2124-6959)로 연락하여 주시기 바랍니다.

4차 산업혁명 시대에서 첨단화되는 반도체 공정

반도체 성능 및 생산량에 영향받는 산업

- ▶ 반도체 성능 및 생산량에 영향받는 산업
- ▶ 첨단 산업 발전에 따른 반도체 및 반도체 공정 시장 성장
- ▶ 국산화 기술 경쟁력을 갖추기 위한 지속적인 연구개발 노력 필요

반도체는 산업의 쌀이라고 지칭될 만큼 전기전자 및 기계, 정보통신 산업 등의 핵심 부품으로 사용되고 있다. 반도체의 고성능, 소형화 및 박형화, 저전력기술을 비롯하여 한정된 크기의 웨이퍼 내에서 반도체 칩의 생산량을 극대화 할 수 있는 방안 등이 요구되면서 반도체 공정의 기술 난이도는 점점 높아지고 있다. 대규모의 R&D 및 설비 투자비용을 감당할 수 있는 선도 기업들을 중심으로 첨단 공정 기술이 개발되고 있으며, 반도체 산업에 관련된 대기업과 중소기업이 동반 성장할 수 있는 정책 마련이 중요하다. 참고로 반도체 공정 산업의 특징은 고부가가치 산업, 자본집약적 산업, 시장진입장벽이 높은 산업, 경제적 파급 효과, 기술집약적 산업 등으로 요약된다.

첨단 산업 발전에 따른 반도체 및 반도체 공정 시장 성장

4차 산업혁명 시대의 대표적 기술인 빅데이터와 IoT, 인공지능 등이 발전하면서 대용량의 데이터를 저장하고 제어할 수 있는 고성능의 반도체 수요는 지속적으로 발생하고 있다. 시장조사기관 WSTS(World Semiconductor Trade Statistics)의 자료에 의하면, 반도체 전체시장은 2013년 3,028억 달러에서 연평균 9.56% 성장하여 2018년에는 4,780억 달러 규모를 형성하였다. 아마존의 AWS 와 마이크로소프트의 Azure 같은 클라우드 서비스 시장이 증가하고 5G 통신 서비스가 상용화되면서 자율주행차, AR/VR 시장이 확장될 가능성이 높아짐에 따라 초저전력, 초소형 반도체를 생산하기 위한 공정 기술 및 공정 관련 시장의 성장은 더욱 촉진될 것으로 예상된다.

국산화 기술 경쟁력을 갖추기 위한 지속적인 연구개발 노력 필요

한국은 세계적인 반도체 기업을 보유하고 있는 반도체 강국인 만큼, 혁신적인 반도체 제조 공정 기술을 보유하고 있다. 반도체 집적회로 선폭이 7nm 이하인 미세화 공정 기술을 비롯하여, 평면 구조 방식의 물리적 한계를 극복한 적층 구조 방식을 개발해서 원가 및 생산 시간 감소, 성능 개선 효과를 실현하고 있다. 다만, 국내 메모리 반도체 산업은 고사양 메모리 생산이 주력임에 따라 신뢰성이 검증되고 성능이 우수한 외산장비를 주로 사용하고 있으며, 최근 일본과 무역 분쟁으로 인하여 국내 반도체 소재 및 장비의 국산화에 대한 중요성이 재인식되고 있다. 따라서 정부 차원의 소재 원천기술 및 장비 개발에 대한 지원 방안이 마련되고 있으며, 대기업도 중소기업과 상생 정책을 펼치며 국산화에 대한 연구개발을 활발히 진행하고 있다.

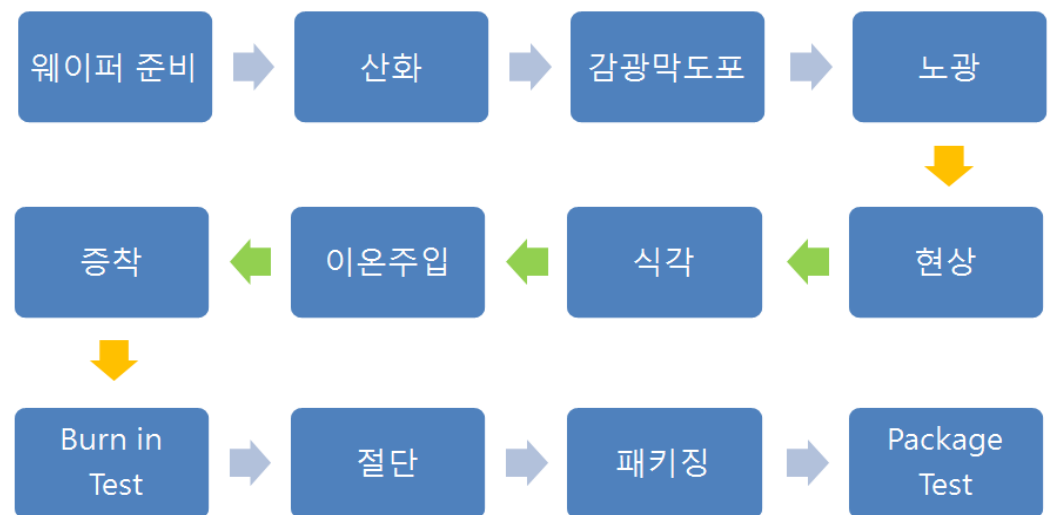
I. 산업 생태계 분석

반도체 공정의 정의

4차 산업혁명 시대를 맞이하여 전자 및 통신, 기계 분야 등의 첨단 산업화를 위해 반드시 필요한 반도체는 웨이퍼 표면에 수천만 개의 트랜지스터 등을 형성시키는 Planar 기술을 통해 생산되고 있다. 즉, 수천만 개의 전자부품과 회로 연결 부분을 미세화 공정 통해 설계한 다음, 이 설계도를 담은 포토마스크를 웨이퍼 위에 놓고 자외선을 투과해서 웨이퍼 상에 반도체 회로를 새겨 넣는 기술을 기반으로 반도체는 제작된다.

반도체는 웨이퍼 가공 및 조립 과정을 거쳐 제조되며 크게 전공정과 후공정으로 구분된다. 전(前)공정은 웨이퍼 위에 회로를 새겨 칩을 완성하는 공정이고, 후(後)공정은 전공정을 통해 완성된 웨이퍼를 칩 단위로 절단 및 분리하여 패키징한 다음 테스트하는 공정이다. 반도체 전공정은 감광막도포, 노광, 식각, 현상, 이온주입, 증착 공정 등이 반복되면서 진행되고, 반도체 후공정은 전공정이 완료되어 웨이퍼에 회로가 형성된 다음 Burn in Test, 절단, 패키징, 최종 검사(Package Test) 등을 수행하는 것이다. 각 공정에 대한 세부 특징은 [Ⅲ.기술 심층 분석]에서 살펴보고자 한다.

[그림1] 반도체 공정의 흐름도



*출처: 한국반도체산업협회 자료 재가공

반도체 공정 산업 특징

반도체 공정 산업은 전자, 통신, 정보 산업 부문과 함께 지속적으로 발전하고 있는 산업으로서, 국내외 우수 업체들이 다수 참여하여 경쟁력 있는 산업 생태계를 구축하고 있다. 반도체를 생산하기 위해 대규모의 설비 투자가 요구되고, 공정 기술 자체 개발에도 많은 연구개발 투자가 소요되어 매출액 대비 R&D 투자 비율이 타산업보다 현저히 높은 기술집약적 산업이기도 하다.

일반적으로 반도체 소자는 기술 발전 속도가 타산업 대비 빠르고, 제품의 수명 주기가 짧은 특성을 보이고 있어, 반도체 공정도 기술수명주기가 비교적 짧은 편이고 지속적인 기술 개발이 필수적이다. 전방 산업인 반도체 산업의 동향에 민감하게 반응하는 특징이 있으며, 5G 통신 및 IoT 기술 발전에 따른 고성능 반도체의 수요가 지속적으로 발생하고 있음에 따라 동산업도 동반 성장할 가능성이 높다.

참고로, 반도체 공정 산업 특징은 1) 고부가가치 산업, 2) 자본집약적 산업, 3) 시장진입장벽이 높은 산업, 4) 기술집약적 산업, 5) 경제적 파급 효과 등으로 요약할 수 있다.

[표1] 반도체 공정 산업 특징

특징	내용
고부가가치 산업	■ 전방 산업인 반도체 소자의 고기능화 및 경박단소화 추세에 따라 관련 기술 확보 여부 및 지속적인 투자 개발이 필요 ■ 관련 기술개발을 통한 국가 기술경쟁력의 제고에도 크게 기여하는 산업
자본집약적 산업	■ 반도체 공정 기술개발에 장기적인 투자가 필수적이고, 초기 설비구축 및 생산을 위한 대규모 투자가 요구되는 산업
시장진입장벽이 높은 산업	■ 기술 수준이 높고, 수요처가 반도체 제조사로 한정적이며, 원천 기술 확보 및 막대한 자본 투자에 대한 높은 부담
기술집약적 산업	■ 반도체 산업 특성상 높은 수준의 품질 및 신뢰성이 요구되어 기술 중요도가 높고, 우수한 연구 인력을 필요로 하는 산업
경제적 파급 효과	■ 정부 차원의 활성화 및 정책 등이 지속적으로 추진 ■ 국가의 미래육성 산업기술 정책에 부합하는 산업

*출처: 한국반도체산업협회 및 IBK경제연구소 자료 재가공

반도체 공정 기술 국산화 현황

반도체 공정 기술을 국산화하기 위해서 반도체 제조 공정별 장비 및 소재의 기술 수준도 뒷받침되어야 한다. 다만, 해외 선도 기업과 국내 기업의 기술 격차가 크고, 반도체 산업 특성상 이미 신뢰성을 인정받은 기존 장비 및 소재 등을 사용하는 경향이 높음에 따라 선도 업체들이 시장을 주도하고 있는 실정이다. 이처럼 해외 의존도가 높은 문제점을 개선하기 위해서 정부 및 국내 반도체 제조사들은 장비와 소재의 국산화에 심혈을 기울이고 있다.

반도체는 국내 뿌리 산업의 한 축을 담당하는 첨단 분야인 만큼, 정부 차원에서 국산화 기술 도입을 위해 정책을 지속적으로 추진하고 있으며, 대기업들도 장비 및 소재 부품의 국산화율의 중요성을 인식하고 중소기업과 상생을 도모하기 위해 대책을 마련하고 있다. 최근 일본이 반도체 제조 공정 상에서 핵심 부품인 포토레지스트, 고순도 불화수소 등을 수출 규제 항목으로 단행함에 따라, 국내 파운드리 업체는 반도체 소재 및 장비 부품 국산화를 위해서 국내 제품을 적극 검토 중이다.

[표2] 반도체 주요 공정별 장비의 국내 기술 수준 및 부품 국산화율

(단위 : %)

공정단계		장비기능	국내 기술수준	부품 국산화율
전공정	노광	빛으로 웨이퍼에 회로 모양 형성	10	0
	식각	그려진 모양대로 조형	28	50
	세정	불순물을 제거하고 세척	85	65
	평판	표면을 균일하고 평평하게 만듦	75	60
	이온주입	불순물을 침투시켜 소자의 특성을 형성	20	0
	증착	산화막, 절연막 등 특정막 부착	90	65
	열처리	열로 웨이퍼내 물질을 균일하게 유지	90	70
	측정분석	웨이퍼내 물질의 특성을 분석	35	30
후공정	패키징	전공정에서 제작된 칩의 배선을 연결, 밀봉	90	60
	테스트	반도체 칩의 불량여부를 판정	80	60

*출처: 한국산업기술평가관리원 자료 재가공

반도체 공정과 연관된 반도체 시장

반도체 공정 산업과 깊은 연관이 있는 반도체 시장은 최근 메모리 반도체의 단가 하락, 미국과 중국, 한국과 일본의 무역전쟁 여파 등에 영향을 받고 있다. 반도체는 2011년부터 한국 최대 수출 품목으로 자리잡고 있으나, 통계청 자료에 의하면, 2018년 12월부터 연속 마이너스 수출을 기록하고 있다. 다만, 빅데이터 및 인공지능, IoT, 자율주행 및 5G 통신서비스가 확대되면서 빅데이터 처리 성능 향상(데이터센터용)을 위한 서버용 DRAM, NAND Flash Memory 등의 수요는 지속적으로 발생하고 있음에 따라 메모리 반도체 시장은 회복될 것으로 전망된다.

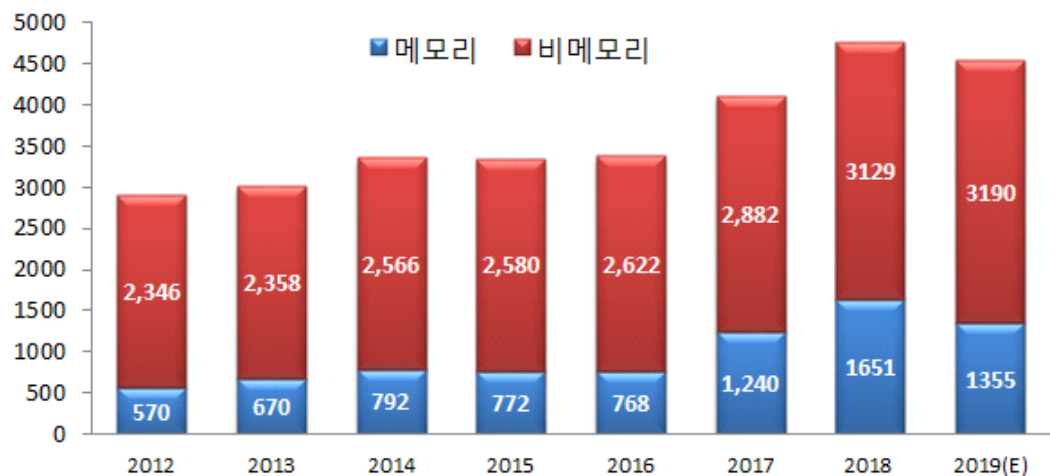
또한, 기존 자동차와 의료기기 등에 IT 기술이 결합되어 사용자의 편의성과 안정성을 고려한 다양한 스마트융합제품(인공지능, 로봇틱스, 자율주행자동차, 웨어러블 디바이스 등)이 출시되어 연산처리 및 제어용 비메모리 반도체 수요도 증가하고 있다. 세계 반도체 시장의 60% 이상은 비메모리 반도체로서, 국내 반도체 시장이 메모리 반도체로 편중된 점을 개선하기 위해 정부 차원에서 R&D 지원 및 전문인력 유치를 위하여 다양한 정책을 마련하고 있다.

중국 기업들이 메모리 반도체 시장에 진입하면서, 메모리 중심의 사업구조를 비메모리 분야로 확대하기 위해서, 최근 국내 반도체 업체들은 메모리 반도체 호황에 따른 영업이익을 바탕으로 비메모리 반도체 분야로 사업영역을 확장하고 있다. 최근, 삼성전자는 ‘반도체 비전 2030’를 제시하며 반도체 제조 인프라와 기술력을 공유해서 팹리스, 디자인하우스 등 국내 중소기업체와 협력을 강화하여 전체 반도체 산업 생태계의 경쟁력을 향상시킬 계획이라고 발표하였다.

시장조사기관 WSTS의 2019년 자료에 의하면, 세계 반도체 시장은 2013년 3,028억 달러에서 연평균 9.56% 성장하여 2018년에는 4,780억 달러 규모를 형성하였고, 이 중 메모리 반도체 시장은 2013년 670억 달러에서 연평균 19.77% 성장하여 2018년에는 1,651억 달러 규모에 도달하였다. 비메모리 반도체 시장도 2013년 2,358억 달러에서 연평균 5.82% 성장하여 2018년에는 3,129억 달러 규모에 도달하였다. 비메모리 반도체 시장은 2019년에도 증가할 것으로 예상되지만, 메모리 반도체 수요량은 감소하면서 전체 반도체 시장은 2019년에 2018년보다 약 3% 줄어든 4,545억 달러 규모로 전망된다.

[그림2] 세계 반도체 매출규모 추이

(단위: 억 달러)



*출처: WSTS 자료 재가공

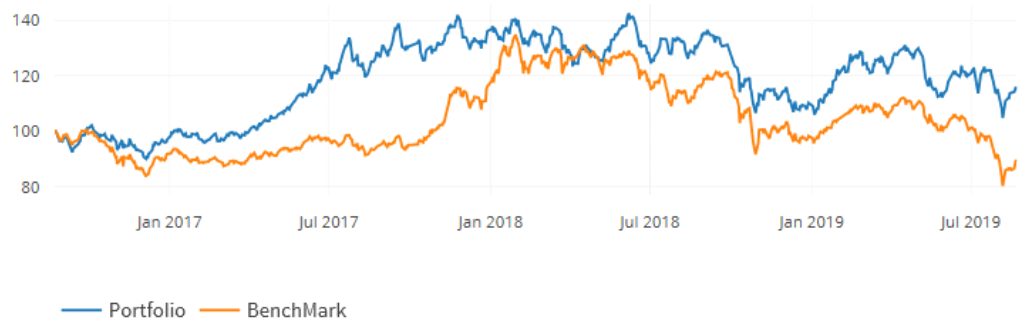
포트폴리오 분석

반도체 공정과 관련이 있는 종목으로 포트폴리오를 구성하였을 때 주식수익률을 확인할 수 있다. 관련 종목 선정은 기업뉴스, IR자료, 사업보고서 등에 기업이 반도체 공정과 관련한 사업을 진행하고 있다고 언급된 수준을 기반으로 하였다. 각 문서에 언급된 빈도 등에 따라 종목별 반도체 공정 관련도를 계산하여 TOP 26개 종목을 선정하였다. 반도체 공정을 주제로 포트폴리오 구성 시 최근 3년간 수익률은 [그림3]과 같다. 종목별 동일 비중으로 구성하고, 매분기말 리밸런싱하며, 거래비용은 없는 것으로 가정하였다. 벤치마크지수는 KOSDAQ지수로 두었다.

반도체 공정 포트폴리오 지수는 전반적으로 벤치마크를 상회하는 성과를 나타내고 있다. 수익률(연평균)은 6.88%, 수익률의 표준편차는 20.48을 나타내고 있다.

[그림3] 포트폴리오 성과 분석

항목	포트폴리오	벤치마크(KOSDAQ)
수익률(연평균)	6.88%	-1.69%
표준편차	20.48	20.43
샤프비율	0.27	-0.15
CAPM(알파)	8.05	0
CAPM(베타)	0.76	1
최대하락폭	-26.50% (18.06.07.~19.08.06)	-40.51% (18.01.29~19.08.06)



*출처: KISLINE DeepSearch

II. 업계 환경 분석

반도체 공정 산업 환경

반도체는 나노미터 크기의 영역에서 회로를 설계하고, 반도체를 구성하는 트랜지스터와 커패시터, 회로 배선 등의 크기를 소형화시켜 한정된 크기의 실리콘 웨이퍼에 더 많은 칩을 생산하기 위해서 지속적으로 개발되고 있다. 최근, 파운드리 업체는 회로배선 폭을 5-7nm 로 설계 및 제작 가능하도록 생산 기술을 개발하여 팹리스 업체들에게 제공하고 있다. 모바일기기 및 디지털 가전기기, 자동차, 첨단의료 기기 등에서 광범위하게 활용될 수 있도록 다기능을 집적한 시스템 반도체를 생산하기 위해 적층 구조 방식의 기술도 발전하는 등 전공정 단계에서부터 후공정까지 전반적으로 기술개발이 이루어지고 있다.

일반적으로 반도체 제조공정에는 고가의 설비와 부대시설, 원료로 사용되는 화학물질의 공급 시스템, 클린룸 등의 다수 장치가 종합적으로 사용되고 있다. 빅데이터 및 IoT 기술이 발전함에 따라 대용량의 데이터를 처리 및 저장해야 하는 반도체의 수요가 급증하고 있어서, 초저전력 및 소형화 반도체를 제조하기 위해 회로 패턴 미세화 공정을 비롯하여 적층 방식으로 메모리 반도체를 생산하는데 필요한 공정 장비 및 기술을 개발하는 유수의 업체들이 존재한다.

해외 업체 현황

해외에서 반도체 공정에 관련된 전문업체로는 대만의 TSMC, ASE, 중국의 SMIC, JCET, TFME, 미국의 MICRON, 인텔 등이 참여하고 있다.

[대만/TSMC] TSMC는 반도체 위탁생산 전문업체로서 명실공히 세계 1위 파운드리 기업이다. 글로벌 시장조사 업체 트렌드포스(TrendForce) 자료에 따르면, 파운드리 세계 시장에서 TSMC의 점유율은 48% 정도로 높은 비중을 차지하고 있다. 2018년 말 불화아르곤(ArFi) 노광 방식을 통해 반도체 전자회로의 선폭 크기가 7nm 이하인 기술 개발에 성공하여 애플, 하이실리콘, 퀄컴 등의 물량을 수주하며 해당 시장을 선점했다.

최근에는 타이난(Tainan) 사이언스파크에 위치한 공장에서 EUV(Extreme Ultra Viloet, 극자외선) 노광 방식을 통해 5nm 이하인 반도체 제공 공정을 테스트하고 있으며 2020년 상반기부터 양산에 돌입할 것으로 전망되고 있다. 또한, 2018년 말부터 타이난 지역에 건설중인 3nm 파운드리 공장 설립에 지속적으로 투자하고 있고, R&D센터에서 2nm 공정 개발에 착수하는 등 2022년에 3나노, 2024년에 2나노 반도체 양산 체제를 갖추기 위해 로드맵을 제시하며 파운드리 업체 분야에서 경쟁사와 격차를 더욱 벌이기 위해 매진하고 있다.

[중국/SMIC] 중국의 반도체 파운드리 전문업체 SMIC는 최근 14nm Fin-FET(Field Effect Transistor) 공정 양산을 시작하면서, TSMC와의 파운드리 기술

격차를 줄이고 있다. 일반적으로 반도체 전자회로의 선폭 크기 단위인 나노 숫자가 낮아질수록 미세한 회로 공정이 가능하여 반도체를 소형화할 수 있고 전력 효율을 높일 수 있지만, 생산단가가 높아진다. 이러한 점을 고려하여 상대적으로 저렴한 14nm 공정을 선호하는 기업들이 있으며, SMIC 는 이러한 시장을 공략하면서 중국 반도체 자급률을 높이고 있다.

[미국/MICRON] MICRON은 삼성전자(주), 에스케이하이닉스(주)와 함께 메모리 반도체 ‘빅3’ 구도를 형성하고 있는 기업으로서, 최근 8Gb(gigabit) DDR(Double Data Rate)4 DRAM 보다 전력 소모가 약 40% 적은 3세대 10nm급 16Gb DDR4 DRAM을 개발하였다. 또한, 적층 구조인 96단 3D NAND 플래시 메모리를 생산하기 위해 싱가포르에 NAND 플래시 메모리 반도체 공장을 준공하는 등 공격적으로 인프라를 투자하고 있다.

국내 업체 현황

국내에서 반도체 공정에 관련된 전문업체로는 삼성전자(주), (주)DB하이텍, 에스케이하이닉스(주), (주)원팩, (주)에이티세미콘, 시그네틱스(주), (주)테스타 등이 참여하고 있다.

[삼성전자(주)]는 유가증권에 상장된 기업이다. 메모리 반도체 분야의 세계 1위 업체로서, 반도체 제조 공정에 대해 대규모로 투자하고 있다. 2018년에 EUV 노광 방식을 통해 7nm 공정 기술을 상용화하였고, 최근에는 5nm 공정 개발에 성공하여 기존 7nm 공정 대비 회로 면적을 25%, 전력효율을 10% 이상 개선하는 등 초미세 공정에 대한 기술경쟁력을 확보하였다. 이러한 기술력을 기반으로 퀄컴 및 IBM, AMD, 엔비디아 등 글로벌 IT기업의 물량을 수주하면서 파운드리 시장 점유율을 높이고 있다.

주력 제품인 메모리 반도체 제조 기술에도 공격적으로 투자한 결과 2013년부터 V-NAND 기술을 상용화하여 적층 구조의 NAND 플래시 메모리 반도체를 상용화하였으며, 최근에는 싱글스택(Single stack) 방식으로 한 웨이퍼 상에 반도체 칩을 100단 이상 적층하는 기술을 개발하여 경쟁사와의 기술 격차를 더욱 벌렸다. 2014년부터는 TSV(Through Silicon Via) 기술을 적용하여 적층구조의 DDR4 DRAM 을 생산하고 있고, 2019년 말에는 EUV 노광 공정을 이용한 DRAM 을 개발하여 반도체 크기 및 전력효율 등을 개선시킨 신제품을 출시할 계획이다. 또한, 울산과학기술원과 협업하여 기존 반도체 성능을 향상시킨 3진법 금속-산화막-반도체(Ternary Metal-Oxide-Semiconductor) 제조 기술을 개발하고 있다.

[에스케이하이닉스(주)]는 유가증권에 상장된 업체이다. 메모리 반도체 선도기업으로서, NAND 플래시 메모리와 DRAM 제조 공정 기술을 지속적으로 개발하고 있다. 일반적으로 NAND 플래시 메모리는 데이터가 저장되는 메인부인 Cell 과 Cell

의 동작을 제어하는 주변부회로 Peri 로 구성되어 있으며, Peri를 Cell 아래에 배치해서 반도체의 크기 및 전력 효율 등을 개선시키는 PUC(Peri Under Cell) 기술을 자체 개발하였다. 이 기술을 기반으로 96단 512Gb급 TLC(Triple Level Cell) 4D NAND 플래시 메모리를 상용화하였고, 최근에는 128단 4D NAND 플래시 메모리를 개발하였다.

[(주)에이티세미콘]은 코스닥시장에 상장된 기업이다. 반도체 테스트와 패키징 서비스를 제공하는 전문기업으로서, 웨이퍼 프로브 테스트, 패키징 공정, 최종 검사까지 제공하는 Turn-key 솔루션을 보유하고 있다. 메모리 반도체와 시스템 반도체를 모두 테스트 및 패키징 할 수 있는 기술력을 보유하고 있고, 고객사 다변화로 인한 신규 물량에 대응하기 위해서 최근 충북 진천사업장에 제3공장을 증설하여 2020년 상반기에 가동할 예정이다. 지속적인 인프라 투자로 회사 경쟁력을 강화하고 있고, 자체적으로 품질관리 프로그램을 개발해서 불량률을 최소화하여 고객사 만족도 향상을 위해 매진하고 있다.

[표3] 반도체 공정 분야의 주요 업체 현황

분류		업체
반도체 전공정	해외	TSMC, MICRON, SMIC, Powerchip, Huahong Group, UMC, GLOBAL FOUNDRIES 등
	국내	삼성전자(주), 에스케이하이닉스(주), (주)DB하이텍 등
반도체 후공정 & 검사공정	해외	ASE, Amkor, JCET, PTI, TSHT, TFME, KYEC, UTAC, ChipMOS 등
	국내	<u>(주)에이티세미콘, (주)SFA반도체, 시그네틱스(주), 하나미이크론(주), (주)원팩, (주)테스타</u> 등
기타	연구기관	한국생산기술연구원, 한국화학연구원, 울산과학기술원 등

*볼드 및 밑줄 친 기업은 코스닥 기업임

*출처: 트렌드포스, NICE평가정보 재가공

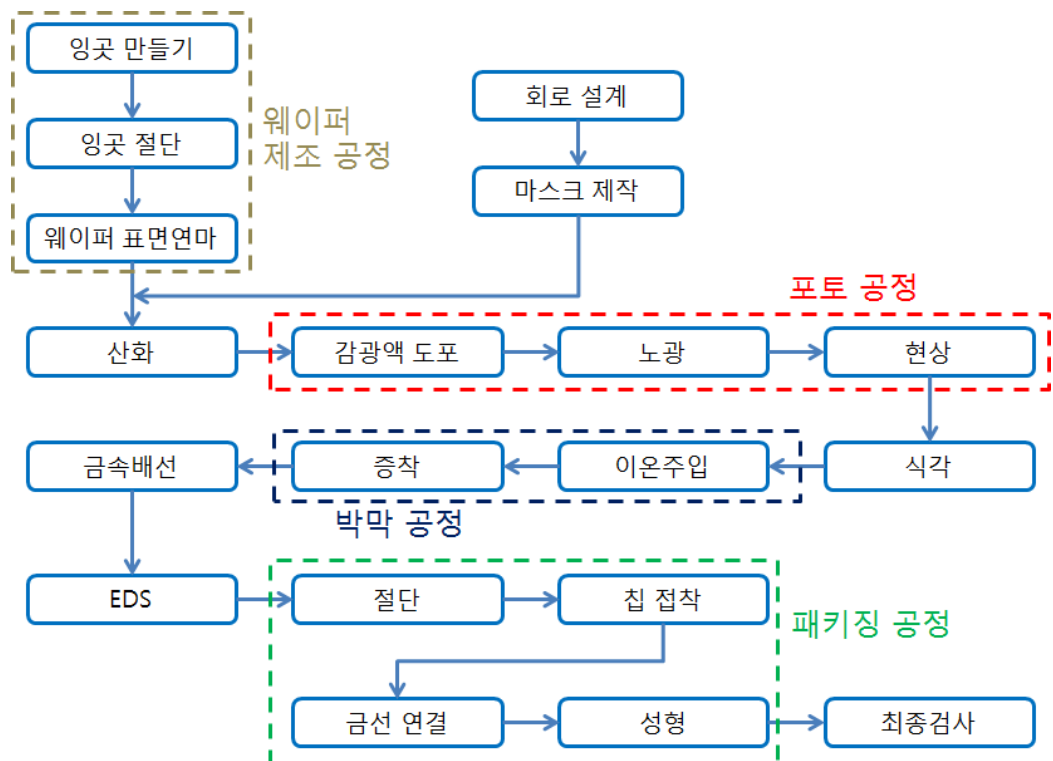
Ⅲ. 기술 심층 분석

반도체의 주요 8대 공정

반도체의 주원료인 웨이퍼는 주로 실리콘 재질로 만들어지며 전기가 통하지 않는 부도체 상태임에 따라, 도체와 부도체의 특징을 포함한 반도체로 제작하기 위해서 웨이퍼에 여러 가지 화학물질을 형성시킨 후 설계된 회로를 새기는 정밀 작업을 수행한다. 일반적으로 반도체가 웨이퍼 단계에서부터 집적회로 소자가 되는 주요 프로세스를 반도체 8대 공정이라고 한다.

8대 공정 중에서 웨이퍼 제조 및 산화, 포토, 식각, 박막(thin film), 금속배선 공정이 반도체 전공정에 포함되고, 이후 후공정 단계인 EDS(Electrical Die Sorting) 공정과 패키징 공정을 통해 완제품이 생산된다. 즉, 반도체 전공정은 웨이퍼 위에 화학물질층을 적층하고, 회로 미세 패턴을 형성하며, 필요 없는 부분을 제거하는 등, 다양한 공정을 거쳐 웨이퍼 상에 원하는 소자를 구현하는 과정으로서 FAB 공정이라고도 한다. 반도체 후공정은 웨이퍼 위에 구현된 다수의 소자를 개별 단위로 자른 다음 분리해서 실제 사용이 가능한 완제품 형태로 만드는 과정이다. 양품의 제품을 생산하기 위해 모든 반도체 제조 과정에서 제품의 품질 및 성능을 확인하는 검사 공정도 수반된다. 8대 공정을 단계별로 살펴보면 다음과 같다.

[그림4] 반도체 공정의 프로세스



*출처: 한국반도체산업협회 자료 재가공

웨이퍼 제조

반도체의 기본인 웨이퍼는 독성이 없고 고온에서 견딜 수 있으며, 모래에서 추출할 수 있는 실리콘을 주원료로 한다. 실리콘을 뜨거운 열로 녹여 고순도의 용액을 생성하고 결정성장장치를 통해 실리콘 기둥 형태인 잉곳을 만든 다음, 다이아몬드 톱을 이용해 균일한 두께로 자른다. 그리고 웨이퍼의 표면을 연마액과 연마 장비(Polishing machine)를 통해 매끄럽게 정밀 가공한다.

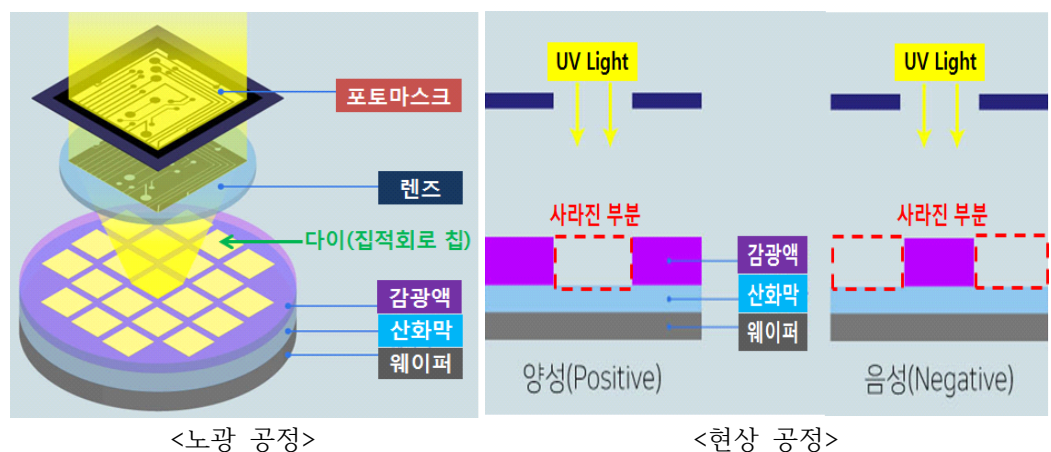
산화공정

만들어진 웨이퍼를 외부의 오염물질로부터 보호하기 위해서 웨이퍼 표면에 산소 또는 수증기를 웨이퍼 표면에 뿌려넣고 절연막 역할을 하는 산화막(SiO_2)을 형성한다. 산화막은 회로 사이에 누설전류가 흐르는 것을 차단하고, 식각공정 상에서 필요한 부분이 잘못 식각되는 것을 방지한다. $1,000^\circ\text{C}$ 이상의 고온에서 얇고 균일한 실리콘 산화막을 형성시키는 열산화 방식이 주로 사용되며, 건식 및 습식 산화 방식이 있다.

포토공정

산화막이 생성된 웨이퍼에 회로 패턴이 설계되어있는 포토마스크를 이용하여 회로를 형성하는 포토 공정은 감광액 도포, 노광, 현상 등 세부 공정으로 구분된다. 고품질의 미세한 회로 패턴을 얻기 위해서 웨이퍼 표면에 빛에 민감한 물질인 감광액(PR, Photo Resist)을 얇고 균일하게 도포하여 빛에 대한 감도를 높이는 것이 중요하다. 감광막을 형성해서 웨이퍼를 사진의 인화지와 유사한 상태로 만든 후 회로 패턴이 담긴 포토마스크에 빛을 통과시키고, 렌즈를 통해 웨이퍼의 다이(집적회로 칩)에 적합하도록 회로 크기를 축소해서 웨이퍼 상에 형성하는 노광공정을 진행한다. 그 다음, 웨이퍼에 현상액을 투여해서 노광된 영역과 노광 되지 않은 영역을 선택적으로 제거해 마스크에 설계하였던 회로 패턴을 웨이퍼 상에 현상한다. 참고로, 감광액은 빛에 어떻게 반응하는가에 따라 양성(positive) 혹은 음성(negative)으로 분류되며, 양성 감광액의 경우 노광된 영역이 사라지고, 음성 감광액의 경우 노광된 영역만 남는다.

[그림5] 포토 공정(노광, 현상)의 개념도



*출처: 삼성반도체이야기 자료 재가공

식각공정

회로 패턴을 웨이퍼에 새겼으면, 화학물질 액체 또는 기체를 통해 필요 없는 부분을 제거하는 식각 공정을 진행한다. 가스로 식각하는 건식 방식은 습식 방식에 비해 기술적으로 난이도가 높고, 제조 공정 상에서 단가가 상대적으로 많이 투입되지만, 회로의 선폴이 나노 단위로 얇아지면서 수율을 높이기 위한 방법으로 주목받고 있다. 식각 공정시 일정한 시간 동안 웨이퍼 상의 여러 지점에서 식각 속도가 균일하게 이루어져야 특정 부위에 위치한 칩의 불량률을 최소화할 수 있음에 따라 균일도 및 식각 속도 등을 정밀하게 관리하는 것이 매우 중요하다.

[그림6] 식각 공정의 개념도



*출처: 삼성반도체이야기 자료 재가공

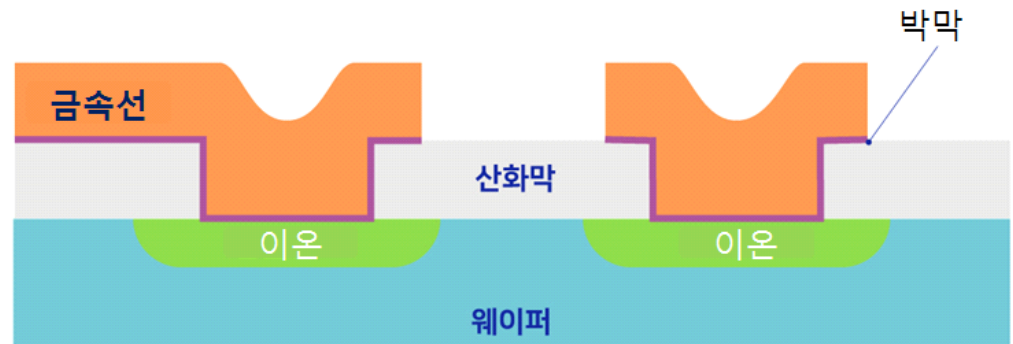
박막공정

반도체에 필요한 전기적 특성을 갖추기 위해 웨이퍼 위에 박막을 형성하며, 박막을 만드는 증착 공정은 물리적 기상증착방법(PVD, Physical Vapor Deposition)과 화학적 기상증착방법(CVD, Chemical Vapor Deposition) 등이 있다. 이 중에서 두께 균일도를 조절할 수 있으며 대량 처리가 가능한 플라즈마 CVD 방식이 주로 사용되고 있다. 박막은 크게 회로 간의 전기적인 신호를 연결해주는 금속막(전도)층과 내부 연결층을 전기적으로 분리하거나 외부 오염 물질로부터 차단시키는 절연막층으로 구분된다. 그리고 박막 공정 시 미세한 가스 입자인 이온(인(P), 비소(As), 붕소(B))을 주입해서 반도체가 전도성을 갖도록 이온주입공정을 수행한다.

금속배선공정

일반적으로 반도체를 구동시키기 위해 외부에서 전기적 신호를 인가해주어야 하며, 전기신호가 원활하게 흐르도록 반도체 회로 패턴을 따라 금속선을 형성하는 작업을 한다. 고온과 화학적인 반응에서도 금속 고유 특성이 변하지 않는 알루미늄(Al), 티타늄(Ti), 텅스텐(W) 등이 주로 사용되고, 미세한 반도체 회로에 형성되어야 하므로 기상증착방법을 사용해서 금속배선공정을 진행한다.

[그림7] 박막 및 금속선 개념도



*출처: 삼성반도체이야기 자료 재가공

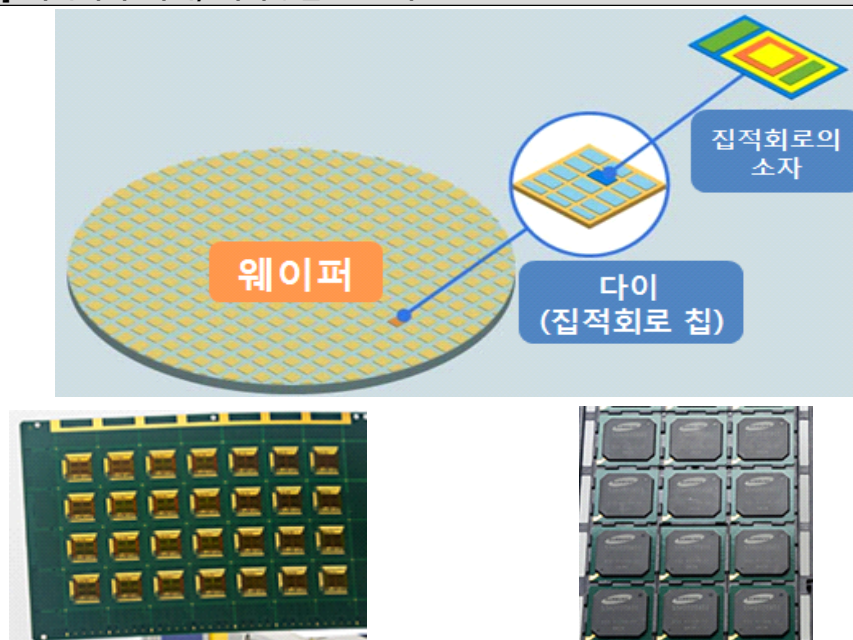
EDS 공정

전공정을 통해 제작된 반도체 칩을 웨이퍼 상태에서 테스트하는 EDS 공정은 ET(Electrical Test)/WBI(Wafer Burn In), Hot/Cold 테스트, Repair/Final 테스트, Inking 등 세부공정으로 구성된다. ET는 반도체 칩을 구성하는 개별소자(트랜지스터, 저항, 캐패시터, 다이오드 등)에 직류전압, 전류 등을 인가하여 동작 여부를 테스트하는 과정이고, WBI 공정은 웨이퍼에 일정 온도의 열을 가한 다음 AC/DC 전압을 인가해서 잠재적인 불량 요인을 판별하는 테스트이다. 그리고 상온보다 높고, 낮은 온도에서 반도체 칩이 정상 동작하는지 판별하기 위해 Hot/Cold 테스트를 수행하며, 테스트 중에서 수리 가능하다고 판정된 칩은 수선한 다음 재차 검증하여 양품을 최종 판단한다. EDS 공정에서 최종 테스트 후에 불량품으로 선별된 반도체 칩에는 특수 잉크를 찍어 육안으로도 불량을 식별할 수 있도록 하고, 향후 제조 공정에 투입되지 않음에 따라 전반적인 생산 수율을 높이는 데 기여한다.

패키징 공정

EDS 공정을 통해 양품으로 판별된 웨이퍼 상의 반도체 칩은 절단공정을 통해 날개로 분리되며, 반도체 칩과 외부 회로 간 전기신호를 전달할 수 있는 PCB(Printed Circuit Board)에 칩을 접착한다. 칩과 PCB의 전기적 연결을 위해 금선을 사용하여 와이어본딩을 하거나, 볼 형태의 범프(금 또는 솔더 재질)를 사용해서 플립칩 방식을 통해 결합시킨다. 칩과 PCB의 연결공정이 완료되면 열, 습기 등의 물리적인 외부 환경 및 충격 등으로부터 반도체 칩을 보호하기 위해서 에폭시 수지를 이용해 패키징하는 과정을 수행한다. 패키징 공정이 완료된 반도체는 검사장비를 통해 다양한 조건의 전기신호(전압, 전류 등), 온도, 습도 등을 적용하여 전기적 특성, 기능적 특성, 동작 속도 등을 측정하고 최종 양품을 판별한다.

[그림8] 웨이퍼와 다이, 패키징된 반도체



<금선 배선된 반도체 칩>

<패키징된 반도체 칩>

*출처: 삼성반도체이야기 자료 재가공

반도체 3D 공정 및 기술 발전방향

웨이퍼 당 생산 효율을 높이고 반도체 성능을 향상시키기 위해 회로 패턴의 선폭 미세화 기술이 지속적으로 개발되고 있다. 회로 패턴의 선폭이 줄어들면 반도체 칩의 크기가 작아져 웨이퍼당 더 많은 칩을 생산할 수 있고, 저항이 감소하여 전력 소모도 감소시킬 수 있다. 다만, 선폭을 미세화하는 기술이 물리적 한계에 다다랐고, 칩 간의 간격이 극도로 좁아지면서 누설 전자의 간섭 현상이 심화되어 데이터 손실이 발생하게 되는데 이러한 문제를 해결하기 위해서 3D 구조로 반도체 칩을 제조하는 기술이 개발되고 있다.

2013년부터 NAND 플래시 메모리는 3D 제조 방식이 도입되었고, 한 웨이퍼 상에서 90단 이상까지 적층해서 생산할 수 있는 V-NAND 기술이 상용화되었다. 일반적으로 96단 NAND 플래시 메모리의 종횡비(A/R)는 1:70 이상이며 바늘의 종횡비(1:47.5)보다 얇고 길게 데이터가 이동할 수 있는 채널을 만들어야 한다. 따라서 1층부터 최상위층까지 채널 통로를 균일하게 형성하는 Plug 에칭 기술 및 상층부와 하층부의 회로 선폭 차이를 최소화하는 기술 등이 지속적으로 개발되고 있다.

DRAM 은 NAND 플래시 메모리 구조와 달라서 한 웨이퍼 상에 반도체 칩을 적층할 수 없고, 웨이퍼 자체를 적층하는 TSV 기술을 이용하여 데이터 용량을 증대시키고 있다. TSV 는 웨이퍼의 기본 재질인 실리콘을 관통하는 구멍을 형성시켜서 다수 웨이퍼를 연결하는 기술이며, 다이와 다이 사이에 수직으로 채널을 형성하여 빈공간에 구리 등을 채워넣어 데이터 통로인 전극을 형성한다. 즉, 패키징 공정 시 적층된 웨이퍼 간에 최적화된 신호 전송 경로를 제공하며, 와이어 본딩 영역을 제거함에 따라 패키지를 최소화 할 수 있다.

반도체 칩의 소형화로 인하여 칩의 일부 소자인 트랜지스터 크기도 극소화되면서 트랜지스터 내의 누설전자 현상을 보완하기 위해 Fin-FET 구조가 개발되었다. 트랜지스터는 Gate 에 전압이 인가되면 Source 에서 Drain 으로 전류가 흐르며 동작하게 되고, Gate 와 채널의 접점이 클수록 효율이 높아진다. Fin-FET 공정은 Fin 모양의 3D 구조를 사용해서 Gate 와 채널의 접점 면적을 향상시켜서 반도체 성능 향상 및 누설 전자 현상 등을 개선시켰다.

최근 빅데이터, 인공지능, AR/VR, IoT, 웨어러블 스마트기기 등에 관련된 첨단 산업이 성장하면서 고속으로 대용량 데이터를 처리 및 저장할 수 있는 반도체 수요가 증가하고 있다. 이러한 시장 환경을 반영하여 데이터 용량을 확대하기 위해 평면 구조 상에서 미세화 공정을 이용하기보다 반도체 칩을 적층시켜 칩 간의 간격을 확보하고, 평면 구조의 물리적 한계를 극복할 수 있는 적층 공정 방식은 차세대 반도체 제조 기술로 각광받고 있다. 적층 공정 기술은 포토, 식각, 박막 공정 등에서 기존 평면 구조 대비 고난이도의 기술이 요구되며, 반도체 공정장비 업체와 협력하여 생산 수율 향상을 위한 신기술을 지속적으로 개발하는 것이 필요하다.